

#3/1104501
06/21/01

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	Syuuichi KARIYAZAKI	Docket:	14701
Serial No:	09/876,396	Examiner:	Unassigned
Filed:	June 7, 2001	Group Art Unit:	Unassigned
For:	SEMICONDUCTOR DEVICE	Dated:	July 17, 2001

Assistant Commissioner for Patents
United States Patent and Trademark Office
Washington, D.C. 20231

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application 2000-171594, filed on June 8, 2000.

Respectfully submitted,

Paul J. Esatto, Jr.
Registration No. 30,749

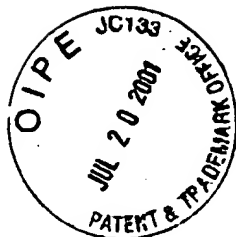
Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, NY 11530
(516) 742-4343
PJE:ahs

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner of Patents and Trademarks, Washington, D.C. 20231 on July 17, 2001.

Dated: July 17, 2001

Janet Grossman



日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 6月 8日

出願番号

Application Number:

特願2000-171594

出願人

Applicant(s):

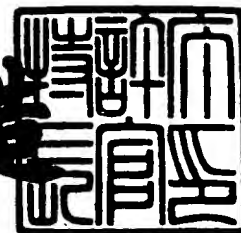
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願

【整理番号】 75310440

【提出日】 平成12年 6月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/148

【発明の名称】 半導体装置及びその製造方法

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 仮屋崎 修一

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100081433

【弁理士】

【氏名又は名称】 鈴木 章夫

【手数料の表示】

【予納台帳番号】 007009

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 被搭載部材に複数の電極端子が配列形成され、前記被搭載部材を搭載する基板には前記電極端子が接続される配線パッドが形成されてなる半導体装置において、前記電極端子は、少なくとも信号用の電極端子を含む複数の電極端子毎にグループ化された複数の I / O セルとして構成され、前記 I / O セルは前記被搭載部材の少なくとも外周部側の位置と内周部側の位置にそれぞれ配置されていることを特徴とする半導体装置。

【請求項 2】 前記被搭載部材は半導体チップであり、前記電極端子は前記半導体チップの下面に配列された内部電極であり、前記基板は前記半導体チップを搭載してパッケージを構成するためのパッケージ基板であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記被搭載部材はパッケージ基板上に半導体チップを搭載した半導体パッケージであり、前記電極端子は前記パッケージ基板の下面に配列された実装用ボール電極であり、前記基板は前記半導体パッケージを実装して所要の回路を構成するための実装用基板であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記 I / O セルは、信号用の電極端子のみで構成され、あるいは信号用、電源用、接地用の各電極端子が混在した状態で構成されていることを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置。

【請求項 5】 前記 I / O セルには、ペリフェラルを含むことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記配線パッドには配線ラインが接続され、かつ少なくとも一つの I / O セルの各配線パッドに接続される前記配線ラインは同一配線層に形成されていることを特徴とする請求項 1 ないし 5 のいずれかに記載の半導体装置。

【請求項 7】 前記基板は、その表面に形成された 1 層の配線層により前記配線パッドと、前記配線パッドに電気接続される配線ラインとが形成されている

ことを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 内周部側の位置に配列された I / O セルに接続される配線ラインは、外周部側の位置に配列された複数の I / O セル間に延長配置されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記基板は、前記配線パッドと、前記配線パッドに電気接続される配線ラインとが多層の配線層として形成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 1 0】 前記 I / O セルを外周部側の第 1 I / O セルと内周部側の第 2 I / O セルに分割し、前記第 1 I / O セルと第 2 I / O セルの少なくとも一方において、一部の I / O セルを前記被搭載部材の外側位置に、他の I / O セルを内側位置に配置したことを特徴とする請求項 9 に記載の半導体装置。

【請求項 1 1】 前記第 1 I / O セルに対応する配線パッドに接続される配線ラインと、前記第 2 I / O セルに対応する配線パッドに接続される配線ラインは、それぞれ異なる配線層に形成されていることを特徴とする請求項 1 0 に記載の半導体装置。

【請求項 1 2】 被搭載部材に複数の電極端子が配列形成され、前記被搭載部材を搭載する基板には前記電極端子が接続される配線パッドが形成されてなる半導体装置の製造方法であって、前記被搭載部材に前記電極端子を配列形成する際に、前記電極端子を少なくとも信号用の電極端子を含む複数の電極端子毎にグループ化された複数の I / O セルとして構成し、前記 I / O セルの一部を前記被搭載部材の外周部側の位置に配置し、他の I / O セルを前記一部の I / O セルよりも前記被搭載部材の内周部側の位置に配置することを特徴とする半導体装置の製造方法。

【請求項 1 3】 前記 I / O セルの一部を前記被搭載部材の外周部側の位置に配置したときに、配置できない I / O セルが生じたときに、当該配置できない I / O セルを前記被搭載部材の内周部側の位置に配置することを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はチップ下面、あるいはパッケージ下面に外部電極端子を配列したエリアレイ半導体装置に関し、特にチップあるいはパッケージの縮小化と外部電極端子の端子数の増大を図った半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】

半導体装置の高集積化に伴い、チップを外部に電気接続するための内部電極端子、あるいはチップを搭載したパッケージを外部に電気接続するための外部電極端子の端子数が増大する傾向にある。また、その一方でチップ、あるいはパッケージの小型化が進められており、内部電極端子の端子間ピッチが微小化される。そのため、当該チップをパッケージ基板に搭載してパッケージを構成する際のパッケージ基板に形成する配線パッドの配列ピッチ、あるいはパッケージを実装するための実装基板に形成する配線パッドの配列ピッチも微小化されることになり、これらパッケージ基板や実装基板における配線の引回しができなくなる場合があり、その結果としてチップやパッケージの小型化を実現することが難しいものとなっている。

【0003】

例えば、図11はチップの下面に内部電極端子を形成し、そのチップをパッケージ基板に搭載してパッケージを構成した半導体装置101の例である。チップ103は下面に多数の外部電極端子としてのボール電極131がBGA (Ball Grid Array)配列で形成されている。また、パッケージ基板102はその表面に前記チップ103のボール電極131に対応する配線パッド121が配列されるとともに、各配線パッド121に接続する配線ライン122の引回しを行っている。また、前記パッケージ基板102の裏面には、前記配線パッド121や配線ライン122にスルーホール123等を介して接続する実装用ボール電極124が配列形成されている。そして、前記チップ103は前記パッケージ基板102上に搭載され、そのボール電極131が配線パッド121に対して半田付け等により接続され、かつ樹脂105により被覆封止されている。また、前記半導体装置101は、実装用基板104上に実装され、前記実装用ボール電極124は実装

用基板 1 0 4 の上面に形成された配線パッド 1 4 1 に接続されることで、その実装が行われる。

【 0 0 0 4 】

図 1 2 は前記パッケージ基板 1 0 2 の表面に配列した配線パッド 1 2 1 の配列状態を模式的に示す図である。なお、この配線パッド 1 2 1 の配列状態はそのままチップ 1 0 3 の下面に形成した前記ボール電極 1 3 1 の配列となる。従来の配線パッドの配列では、いわゆるペリフェラルと称する、信号線端子（S 端子）、電源端子（V 端子）、接地端子（G 端子）を一直線に配置したものを、チップ 1 0 3 の外周部に対応する領域に配列した構成となっている。同図に一部を拡大図示するように、S 端子、V 端子、G 端子の各配線パッド 1 2 1 を所要の間隔で格子状に配列している。そして、各配線パッド 1 2 1 に配線ライン 1 2 2 を接続し、チップの外側領域に向けて引き出しているが、内側に配置されている配線パッド 1 2 1 に接続する配線ライン 1 2 2 は、外側に配置されている配線パッド 1 2 1 の間を通してその引き出しを行っており、その引き出した先において図 9 に示したようにスルーホール 1 2 3 等によりパッケージ基板 1 0 2 の下面の実装用ボール電極 1 2 4 に電気接続を行っている。

【 0 0 0 5 】

しかしながら、このような配線パッドの配列構造では、図 1 3 に配線パッド 1 2 1 と配線ライン 1 2 2 の配列密度を示すように、一般に配線ライン 1 2 2 の幅寸法やライン間隔よりも配線パッド 1 2 1 の径寸法が大きいため、内側の配線パッド 1 2 1 から配線ライン 1 2 2 を引き出す際に、引き出す配線ラインの本数に制約を受けることになる。すなわち、同図において、直径 $100\mu\text{m}$ の配線パッド 1 2 1 が $250\mu\text{m}$ のピッチで配列されている場合、配線ライン 1 2 2 のライン幅を $30\mu\text{m}$ 、ライン間隔を $30\mu\text{m}$ としたときには、両配線パッド 1 2 1 間には 2 本の配線ライン 1 2 2 しか引き出すことができない。すなわち、この配線パッド 1 2 1 の配列構造の場合には、 1mm の寸法内に 1 2 本の配線ライン 1 2 2 しか配設できないことになり、配線ラインの配列密度は $12\text{本}/\text{mm}$ となる。そのため、配線パッド数が増大して、配線ラインの引き出し数が増えると、配線パッドのピッチを前記した $250\mu\text{m}$ よりも大きくするか、またはチップサイ

ズを大きくする必要があり、これにより配線パッドを配列するための面積が増大し、チップ及びパッケージ基板の小型化を実現することが困難になる。

【0006】

このような問題に対し、特開平10-116859号公報に記載の技術では、信号の受け渡しをしない基準電源用や基準電流用の配線パッドをパッケージ（チップ）の内側に配置し、当該配線パッドはチップの直下にある外部接続端子に接続する構成がとられている。この構成によれば、信号の受け渡しをしない配線パッドは配線ラインを接続する必要がないため、その外側に配置する配線パッド間を配線ラインを引き回す必要がなく、外側の配線パッドの間隔を縮小でき、結果として配線パッド数を増大し、かつチップの小型化が実現できることになる。

【0007】

一方、特開平9-69568号公報には、チップにパッド、入・出力バッファ、内部回路ブロックを配置する際に、自動配置配線ツールの基本的なアルゴリズムを損なうことなく内部回路ブロック間に発生する空き領域を有効に使用した配置を実現するために、入・出力バッファ配置エリアと内部回路ブロック配置エリアの区別を止め、内部回路ブロック配置エリアにおいても発生する空き領域に入・出力バッファを配置することを可能にした技術が記載されている。この技術を本発明が対象とするようなチップやパッケージに適用すれば、少なくとも配線パッドの配置に関しては、配置の自由度が向上し、小型化を図る上で有効なものとなる。

【0008】

【発明が解決しようとする課題】

しかしながら、前者の技術（特開平10-116859号公報）は信号の受け渡しをしない配線パッドがある程度の数だけ存在することを前提としたものであるため、この種の配線パッド数が少なく、殆どの配線パッドに配線ラインを接続することが要求される場合には適用することはできない。また、一部の配線パッドについて適用したとしても、配線ラインが接続される配線パッドについては、前記したように配線ラインの引き出し本数に制限を受けるという問題を解決することはできない。

【 0 0 0 9 】

また、後者の技術（特開平 9 - 6 9 5 6 8 号公報）は、配置される入・出力バッファの数が、内部回路ブロック間に発生する空き領域の大きさに左右されることや、空き領域の発生する箇所が集中した場合に内側の入・出力バッファからの配線ラインの引き出しが可能であるか否かが明確でないため、フロアプラン毎に配線パッドの設計を行わざるを得ず、処理時間（T A T）が長くなる。また、配線ラインの引き出しが困難なことが判明したときには、これに対する有効な手段は存在せず、前記した問題を解決するものとはなっていない。

【 0 0 1 0 】

なお、前記した技術は、パッケージ基板に形成する配線ラインが 1 層であることを前提しており、パッケージ基板の配線ラインを 2 層以上の多層配線構造に形成すれば、配線ラインの引き回しの自由度が高くなり、前記した問題を解決する際の一つの手法となり得る。しかしながら、配線ラインを多層配線構造にすると、同じ入・出力回路に接続される配線ラインが相互に上下層で交差する状況が生じることがあり、このような場合には各配線ライン間でのインピーダンスマッチングがとり難くなり、かつ半導体装置の特性に大きな影響を与えることになり、好ましいものとは言えない。

【 0 0 1 1 】

本発明の目的は、以上の問題を解消し、チップ或いはパッケージの小型化を図る一方で、外部接続端子の端子数の増大を可能にした半導体装置及びその製造方法を提供するものである。

【 0 0 1 2 】

【課題を解決するための手段】

本発明は、被搭載部材に複数の電極端子が配列形成され、前記被搭載部材を搭載する基板には前記電極端子が接続される配線パッドが形成されてなる半導体装置において、前記電極端子は、少なくとも信号用の電極端子を含む複数の電極端子毎にグループ化された複数の I / O セルとして構成され、前記 I / O セルは前記被搭載部材の少なくとも外周部側の位置と内周部側の位置にそれぞれ配置されていることを特徴とする。例えば、前記被搭載部材は半導体チップであり、前記

電極端子は前記半導体チップの下面に配列された内部電極であり、前記基板は前記半導体チップを搭載してパッケージを構成するためのパッケージ基板として構成する。あるいは、前記被搭載部材はパッケージ基板上に半導体チップを搭載した半導体パッケージであり、前記電極端子は前記パッケージ基板の下面に配列された実装用ボール電極であり、前記基板は前記半導体パッケージを実装して所要の回路を構成するための実装用基板として構成する。

【 0 0 1 3 】

ここで、前記 I / O セルは、信号用の電極端子のみで構成され、あるいは信号用、電源用、接地用の各電極端子が混在した状態で構成される。また、前記 I / O セルには、ペリフェラルを含んでもよい。

【 0 0 1 4 】

本発明によれば、内部電極等の電極端子を I / O セルに分割し、その一部の I / O セルをチップ等の被搭載部材の外周部側の位置に配置するとともに、他の I / O セルをそれよりも内周部側の位置に配置することで、チップを小型化した場合においても、あるいは内部電極数を増大した場合においても、各 I / O セルに対応する配線パッドからチップの周辺外側への配線ラインの引き出しが可能になり、半導体装置の高集積化、高性能化に対応した半導体装置が実現できる。

【 0 0 1 5 】

一方、基板においては、前記配線パッドには配線ラインが接続され、かつ少なくとも一つの I / O セルの各配線パッドに接続される前記配線ラインは同一配線層に形成される。すなわち、前記基板は、その表面に形成された 1 層の配線層により前記配線パッドと、前記配線パッドに電気接続される配線ラインとが形成される。この場合には、内周部側の位置に配列された I / O セルに接続される配線ラインは、外周部側の位置に配列された複数の I / O セル間に延長配置される。あるいは、前記基板は、前記配線パッドと、前記配線パッドに電気接続される配線ラインとが多層の配線層として形成される。この場合には、前記 I / O セルを外周部側の第 1 I / O セルと内周部側の第 2 I / O セルに分割し、前記第 1 I / O セルと第 2 I / O セルの少なくとも一方において、一部の I / O セルを前記被搭載部材の外側位置に、他の I / O セルを内側位置に配置した構成とする。そし

て、前記第 1 I / O セルに対応する配線パッドに接続される配線ラインと、前記第 2 I / O セルに対応する配線パッドに接続される配線ラインは、それぞれ異なる配線層に形成される構成とする。

【 0 0 1 6 】

本発明によれば、I / O セルに対応する配線パッド及び配線ラインは、基板に形成した 1 層の導電膜で形成されるため、特に、同じ I / O セルに接続される配線ラインが上下に交差することではなく、各配線ラインでのインピーダンスマッチングを容易に行うことが可能になる。特に、一つの I / O セルに、複数の入・出力バッファに対応する配線パッドと配線ラインが混在しているような場合に、各入・出力バッファの配線ライン間での相互干渉を防止し、適正なインピーダンスマッチングが可能になる。また、第 1 I / O セルと第 2 I / O セルに対応する各配線ラインが異なる配線層で構成されるため、両 I / O セルをそれぞれチップの外周部側、内周部側に配置した場合でも、各 I / O セルをそれぞれ内側位置と外側位置に配置することが可能になり、しかも各 I / O セルに対応する配線ラインでのインピーダンスマッチングも容易になる。

【 0 0 1 7 】

また、本発明の半導体装置の製造方法は、被搭載部材に複数の電極端子が配列形成され、前記被搭載部材を搭載する基板には前記電極端子が接続される配線パッドが形成されてなる半導体装置の製造方法であって、前記被搭載部材に前記電極端子を配列形成する際に、前記電極端子を少なくとも信号用の電極端子を含む複数の電極端子毎にグループ化された複数の I / O セルとして構成し、前記 I / O セルの一部を前記被搭載部材の外周部側の位置に配置し、他の I / O セルを前記一部の I / O セルよりも前記被搭載部材の内周部側の位置に配置することを特徴とする。この場合、前記 I / O セルの一部を前記被搭載部材の外周部側の位置に配置したときに、配置できない I / O セルが生じたときに、当該配置できない I / O セルを前記被搭載部材の内周部側の位置に配置する。これにより、本発明の半導体装置の製造が可能になる。

【 0 0 1 8 】

【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図1は本発明を適用した半導体装置の第1の実施形態の全体断面図とその一部の拡大図である。半導体装置1は、パッケージ基板2と、前記パッケージ基板2上に搭載されたチップ3とを備えて構成される。前記パッケージ基板2は絶縁性の板部材で構成されており、当該パッケージ基板2の上面に多数の配線パッド21と配線ライン22が銅等の導電膜をパターンエッチングして形成されている。また、前記配線パッド21及び配線ライン22は前記パッケージ基板2に設けられたスルーホール23を介して下面にまで接続され、さらに、パッケージ基板2の下面に形成された実装用ボール電極24に接続されている。また、前記パッケージ基板2の上面の周囲には枠状のスペーサ25が接着剤により固定されており、スペーサ25で囲まれた領域に前記チップ3を収納している。さらに前記スペーサ25上にはカバー板27が接着剤26により固定され、これにより前記チップ3が封止されている。

【0019】

一方、前記チップ3は、シリコン等の半導体基板で形成され、その下側を向けられた主面には図には現れないがトランジスタ等の各種素子が形成されかつパッシベーション膜等の保護絶縁膜により被覆されている。さらに、前記保護絶縁膜の表面上、すなわちチップの下面には前記素子に接続された内部電極として、半田等によりボール電極31が配列形成されている。このボール電極31は、前記パッケージ基板2の上面に形成した前記配線パッド21に半田付けされており、これによりチップ3はパッケージ基板2上にフェースダウン搭載され、チップ3内の素子はボール電極31、配線パッド21を介して前記パッケージ基板2の下面の実装用ボール電極24に電気接続されることになる。また、前記チップ3は封止樹脂28により封止されている。

【0020】

さらに、この実施形態では、前記半導体装置1は、実装用基板4上に実装されている。前記実装用基板41は、ここでは絶縁基板の表面に導電膜で所要の配線パターンが形成されており、前記配線パターンは前記半導体装置1の実装用ボール電極24に接続される配線パッド41と、前記配線パッド41を実装用基板4の表面上で相互にあるいは他の回路に接続するための図外の配線ラインとで構成

されている。

【 0 0 2 1 】

ここで、本発明を前記半導体装置 1 のチップ 3 の下面にボール電極 3 1 を配列形成し、これに対応してパッケージ基板 2 の表面に配線パッド 2 1 を配列形成する構成に適用した例を説明する。図 2 は前記パッケージ基板 2 の上面に形成された配線パッド 2 1 の配列構成を模式的に示す図であり、これは前記チップ 3 の下面に設けられた前記ボール電極 3 1 に対応して配置されるものである。すなわち、前記チップ 3 の下面の前記ボール電極 3 1 は格子状に配列されており、これに対応して前記配線パッド 2 1 も同様に格子状に配列されるが、これらのボール電極 3 1 及び配線パッド 2 1 は、同図に配線パッド 2 1 で示すように、所定の数ごとに一組の I / O セル C E L L として構成され、この I / O セル C E L L 単位で配列されている。すなわち、この実施形態では、前記配線パッド 2 1 は 4 × 3 の配列で一つの I / O セル C E L L となるように、多数個の配線パッド 2 1 がグループとして分割されている。ここで、前記 I / O セル C E L L は、例えば、チップ 3 内に形成されている一つないし複数の入・出力バッファを一単位とし、この一単位の入・出力バッファに接続される S 端子（信号端子）、V 端子（電源端子）、G 端子（接地端子）をまとめて一組のグループとし、この一組のグループを一つの I / O セル C E L L として構成している。あるいは、S 端子のみで一組の I / O セル C E L L を構成している。なお、各端子の数やその配列は前記した構成に限られず、任意の配列の I / O セルとして構成することも可能である。

【 0 0 2 2 】

その上で、グループ分けされた複数の I / O セル C E L L に対し、一部の I / O セル C E L L - A はこれまでと同様にチップ 3 の周辺部に対応して配置するが、他の I / O セル C E L L - B は前記 I / O セル C E L L - A よりも所要の間隔をおいてチップの内周部に対応して配置されている。この場合、外周部に配置される I / O セル C E L L - A は、周方向に隣接する二つの I / O セル C E L L - A の間に所要の間隔 S P A C E が確保されるように形成されている。なお、この実施形態では、外周部の I / O セル C E L L - A においては、隣接領域に余裕がある箇所では、従来のペリフェラル P L を混在させた状態で配置している。すな

わち、図 2 において、配線パッド 2 1 が 4×3 の配列になっていない箇所はペリフェラル P L を混在させた領域である。

【 0 0 2 3 】

図 3 は前記パッケージ基板 2 の上面に形成された配線パッド 2 1 と、これら配線パッド 2 1 に接続される配線ライン 2 2 の一部の拡大図である。ここでは、チップ 3 の外周部に対応して配置される 2 つの外周部の I / O セル C E L L - A が周方向に沿って所要の間隔をおいて配置され、1 つの内周部の I / O セル C E L L - B が前記 2 つの I / O セル C E L L - A の間の間隔 S P A C E に対向される位置に配置された状態を示している。そして、外周部の 2 つの I / O セル C E L L - A の各配線パッド 2 1 a には、これまでと同様にそれぞれ配線ライン 2 2 a が接続され、各配線パッド 2 1 a 間を通してチップ 3 の周辺外側に対応する領域まで引き出されている。一方、内周部に配置された I / O セル C E L L - B の各配線パッド 2 1 b に接続される配線ライン 2 2 b は、I / O セル C E L L - B の領域内ではこれまでと同様にして引き出されているが、当該 I / O セル C E L L - B の領域から外側に外れた領域では、各配線ライン 2 2 b が所要の間隔で束ねられ、この束ねられた状態で前記外周部の I / O セル C E L L - A の間隔を通して周辺外側領域にまでに引き出されている。

【 0 0 2 4 】

したがって、このようなパッケージ基板 2 における配線パッド 2 1 と配線ライン 2 2 の配列構造では、チップ 3 の外周部に対応して配列される I / O セル C E L L - A での配線ライン 2 1 a の配列密度は、図 1 3 に示した従来構成と同じであるが、チップ 3 の内周部に対応して配列される I / O セル C E L L - B の配線パッド 2 1 b に接続される配線ライン 2 2 b の配列密度は、配線パッドが存在していない分、高密度化することが可能になる。すなわち、図 3 に示すように、計 1 2 個の配線パッド 2 1 に接続される配線ライン 2 2 のライン幅を $30 \mu m$ 、ライン間隔を $30 \mu m$ としたとき、1 2 本の配線ライン 2 2 i を束ねて配列するための寸法は $750 \mu m$ となる。これに、隣接する外周部の I / O セル C E L L - A における配線ライン 2 2 a の配列を加えてチップの外周部に沿った 2 m m の領域内での配線ライン 2 2 の本数を計算すると 2 7 本となり、結局配線ライン 2 1

の配列密度は 1 3 . 5 本 / m m となる。これから、図 1 3 に示した従来の 1 2 本 / m m に比較して配線ラインの配列密度が増加されたことが判る。

【 0 0 2 5 】

これにより、チップ 3 に配列するボール電極 3 1、及びパッケージ基板 2 に配列する配線パッド 2 1 を複数の I / O セル C E L L に分割し、その一部の I / O セルをチップ 3 の外周部に対応する位置に配置し、他の I / O セルをチップ 3 の内周部に対応する位置に配置することで、チップ 3 の寸法を縮小してチップを小型化した場合においても、あるいはチップ寸法が同じでもボール電極 3 1 及び配線パッド 2 1 の数を増大した場合においても、パッケージ基板 2 の上面においてチップ 3 の周辺外側領域への配線ライン 2 2 の引き出しが可能になり、半導体装置の高集積化、高性能化に対応した半導体装置が実現できる。特に、図 3 に示したように、チップの内周部に配置する I / O セル C E L L - B は、他の I / O セルの配線ラインが通過されることがないため、チップの内周部において無端状（環状）に配列することができ、極めて多数のボール電極 3 1 及び配線パッド 2 1 の配列が可能になる。もちろん、内周部の I / O セル C E L L - B の間にも適宜の間隔を設けることは可能である。また、外周部の I / O セル C E L L - A は、内周部の I / O セル C E L L - B の配線ライン 2 2 が通過される間隔 S P A C E を確保する範囲内でボール電極 3 1 及び配線パッド 2 1 の配列が可能になり、前記した半導体装置の高集積化、高性能化に対処できる。したがって、前記したような配列の要件を満たす限り、I / O セル C E L L をチップ 3 の領域内で自由に配置することが可能になり、チップ設計、パッケージ設計における自由度が大きくなる。

【 0 0 2 6 】

また、この実施形態では、前記配線パッド 2 1 及び配線ライン 2 2 は、前記パッケージ基板 2 の上面に形成した 1 層の導電膜で形成されるため、特に、同じ I / O セルに接続される配線ラインが上下に交差することはなく、各配線ラインでのインピーダンスマッチングを容易に行うことが可能になる。特に、一つの I / O セルに、複数の入・出力バッファに対応する配線パッドと配線ラインが混在しているような場合に、各入・出力バッファの配線ライン間での相互干渉を防止し

、適正なインピーダンスマッチングが可能になる。

【0027】

図4は本発明の第2の実施形態の半導体装置の全体断面図とその要部の拡大図である。なお、第1の実施形態と等価な部分には同一符号を付してある。この実施形態では、半導体装置1は、パッケージ基板2Aと、前記パッケージ基板2A上に搭載されたチップ3とを備えて構成されることは第1の実施形態と同じであるが、前記パッケージ基板2Aは、中央のコア層211を上下のビルドアップ層212、213で挟んだ構成であり、その上面に多数の配線パッド21が導電膜により形成されている。また、前記配線パッド21は上層のビルドアップ層212の多層の各配線層の配線ラインに接続され、かつ前記コア層211に設けられたスルーホール23を介して下層のビルドアップ層213にまで接続されている。さらに、前記下層のビルドアップ層213の下面、すなわち前記パッケージ基板2Aの下面に形成された実装用ボール電極24に接続されている。

【0028】

前記上下の各ビルドアップ層のうち、特に上層のビルドアップ層212は、ここでは5層の配線層で構成されており、第1層201で前記配線パッド21とGND層1Gが形成され、第3層でGND層3GとVDD層3Vが形成され、第5層で前記コアのスルーホールに接続されるGND層5GとVDD層5Vが形成される。また、第2層と第4層はそれぞれ独立した信号用の配線ライン22a、22bとして構成されている。すなわち、この第2の実施形態では、前記第1の実施形態において一つの層に形成されていた各配線ラインが第1～5層の各配線層201～205に分割して形成されており、特に、S端子（信号端子）としての配線パッド21に接続される配線ラインが、第2層と第4層の各配線ライン22a、22bとして分離した状態で引き出される構成となっている。

【0029】

このような配線ライン22a、22bの多層化（2層化）を受けて、配線パッド21の配置（チップ3のボール電極31についても同様であることは言うまでもない）では、図5に模式的に示すように、グループとして構成したI/OセルCELLを、さらに第1I/OセルCELL-1と、第2I/OセルCELL-

2に分割する。そして、第1 I/OセルCELL-1の一部のI/OセルCELL-1 Aをチップ3の外周部に対応する領域に配置するとともに、第1 I/OセルCELL-Aの他のI/OセルCELL-1 Bをその内側に配置する。そして、外側に残された第1 I/OセルCELL-1 A間に前記内側のI/OセルCELL-1 Bから引き出す配線ライン22を通すための間隔を確保する。ここでは、チップの外周部に対応して配置した第1 I/OセルCELL-1を、周方向の一つ置きに交互に外側と内側に配置して前記I/OセルCELL-1 A, CELL-1 Bを配置した構成としている。また、第2 I/OセルCELL-2は、前記第1 I/OセルCELL-1よりもチップの内周部に対応する領域に配置するとともに、当該第2 I/OセルCELL-2の一部のセルCELL-2 Bを他のセルCELL-2 Aよりも内側に配置し、かつこの外側の第2 I/OセルCELL-2 A間に前記内側の第2 I/OセルCELL-2 Bから引き出す配線ラインを通すための間隔を確保する。ここでは、第2 I/OセルCELL-2においても、第1 I/OセルCELL-1と同様に、チップの周方向に沿って配置した第2 I/OセルCELL-2を一つ置きに交互に外側と内側に配置している。

【0030】

その上で、再度図4を参照すると、第1 I/OセルCELL-1の配線パッド21-1に接続される配線ライン22-1は、その外側領域において上層のビルドアップ層212の第2層の配線層202に接続され、この第2層の配線層202によって外部領域に引き出されている。また、第2 I/OセルCELL-1の配線パッド21-2に接続される配線ライン22-2は、その外側と第1 I/OセルCELL-1との間の領域において前記上層のビルドアップ層212の第4層の配線層204に接続され、この第4層の配線層204によって外部領域に引き出されている。したがって、第2 I/OセルCELL-2に接続される配線ライン22-2が第1 I/OセルCELL-1の間を通して外部領域に引き出されるようなことはない。なお、第2層及び第4層の各配線層202, 204は、所定の位置においてコア層211のスルーホール23に接続され、下層のビルドアップ層213を介してパッケージ基板2Aの下面の実装用ボール電極24に接続されることは言うまでもない。

【0031】

このようにI/Oセルを第1及び第2のI/OセルCELL-1, CELL-2に分割した上で、チップ3の外周部と内周部に対応する領域にそれぞれ配置し、さらに各I/Oセルをそれぞれ内側と外側に分けて配置したことにより、特にパッケージ基板2Aの上面での配線パッド21と配線ライン22の構成は、第1I/OセルCELL-1、第2I/OセルCELL-2のそれぞれにおいては、図3に示したと同様な構成となり、第1I/OセルCELL-1及び第2I/OセルCELL-2の各配線パッド21及び配線ライン22の配列密度を向上することが可能になる。そして、この第2の実施形態では、チップに対して、第1I/OセルCELL-1と第2I/OセルCELL-2とを二重に配列した状態とされるため、第1の実施形態のI/Oセルの配列に比較してほぼ2倍の配列密度を得ることができる。これにより、チップを小型化した場合においても、あるいはボール電極及び配線パッド数を増大した場合においても、各I/Oセルの配線ラインの引き出しが可能になり、半導体装置の高集積化、高性能化に対応した半導体装置が実現できる。

【0032】

また、この第2の実施形態では、第1I/OセルCELL-1の配線ライン22-1は第2層の配線層202により引き出され、第2I/OセルCELL-2の配線ライン22-2は第4層の配線層204により引き出されるため、個々のI/Oセルに接続される配線ラインは同一の配線層において引き出されることになり、一つのI/Oセルの配線ラインが上下に交差することはなく、各配線ラインでのインピーダンスマッチングを容易に行うことが可能になる。特に、一つのI/Oセルに、複数の入・出力バッファに対応する配線パッドと配線ラインが混在しているような場合に、各入・出力バッファの配線ライン間での相互干渉を防止し、適正なインピーダンスマッチングが可能になることは第1の実施形態と同様である。

【0033】

なお、この第2の実施形態における第1I/OセルCELL-1と第2I/OセルCELL-2の配置形態としては、図6に示すものが考えられる。同図の（

a) は第1 I/OセルCELL-1についてのみ外側のI/OセルCELL-1 Aと内側のI/OセルCELL-1 Bとして配置したものである。また、同図(b) は第2 I/OセルCELL-2についてのみ外側のI/OセルCELL-2 Aと内側のI/OセルCELL-2 Bとしてに配置したものである。勿論、同図(c) のように、第1 I/OセルCELL-1と第2 I/OセルCELL-2をそれぞれ一列で配置することも可能である。また、図7に示すように、第1 I/Oセル又は第2 I/Oセルのいずれかは、I/Oセルとして構成するのではなく、従来のペリフェラルの状態としてもよい。同図(a) は外周部をペリフェラルPLで構成し、内周部を第2 I/OセルCELL-2として構成したものであり、同図(b) はさらに、内周部の第2 I/OセルCELL-2を外側のI/OセルCELL-2 Aと内側のI/OセルCELL-2 Bとして配置したものである。また、同図(c) は外周部を第1 I/OセルCELL-1として構成するが、内周部はペリフェラルPLで構成したものである。この場合、同図(d) のように、第1 I/OセルCELL-1を外側のI/OセルCELL-1 Aと内側のI/OセルCELL-1 Bとして配置してもよい。

【0034】

また、図8(a) ~ (d) に図7(a) ~ (d) に対応する配置を示すように、第1 I/OセルCELL-1あるいは第2 I/OセルCELL-2の一部をペリフェラルPLで構成して、I/OセルCELLとペリフェラルPLを混在した構成としてもよい。同様に、図9(a) ~ (d) に示すように、内側のI/Oセルと外側のI/Oセルで構成される第1 I/OセルCELL-1 (CELL-1 A, CELL-1 B) または第2 I/OセルCELL-2 (CELL-2 A, CELL-2 B) の一部をペリフェラルPLで構成してもよい。いずれの場合でも、図12に示した従来構成に比較してボール電極及び配線パッド数の増大が可能であり、半導体装置の高集積化、高性能化が実現できる。

【0035】

以上の第1及び第2の実施形態のいずれの半導体装置においても、ボール電極31及び配線パッド21を前記したようにI/Oセルとして配置するための方法は同じであるが、特に、ここでは第1の実施形態の半導体装置の配置方法を図1

0のフローチャートを参照して説明する。先ず、チップに配設しようとするI/Oセルやペリフェラルをチップの外周部に沿って並べたテンプレートを作成する(S101)。次に、このテンプレートにおいて、I/Oセルやペリフェラルのボール電極及び配線パッドの数、要求される端子数に達しているか否かを判定する(S102)。要求される端子数に達しているときには、チップの中央部にもI/Oセルを配置する要求があるか否かを判定し(S103)、要求が無い場合には配置を終了する(S104)。チップ中央部にもI/Oセルを配置する要求がある場合には、フロアプランに沿うようにセルを移動し(S105)、移動可能な場合には配置を終了する(S104)。移動が不可の場合には、フロアプランとI/Oセルを変更した上で(S106)、再度ステップS105を実行する。この処理を複数回行っても移動が不可の場合には、後述するステップS108に移行する。

【0036】

一方、前記ステップS102において、要求する端子数に達していないときには、端子数を要求される数まで増加させるために、チップの内周部に配置するI/Oセルの数を算出する(S107)。また、続いてI/Oセル間を詰めたテンプレートを新たに作成する(S108)。そして、フロアプランに沿うようにI/Oセルを移動する(S109)。このとき、全てのI/Oセルが移動可能であれば、前記したようにチップの外周部と内周部にそれぞれI/Oセルを配置することが可能であり、配置を終了する(S104)。いずれか一つでもI/Oセルの移動が不可の場合には、更にI/Oセル間を詰めたテンプレートを作成した上で(S110)、ステップS109を再度実行する。あるいは、必要に応じてフロアプランやI/Oセルを変更した上でステップS109を再度実行する。そして、この再実行を複数回行っても全てのI/Oセルを移動して配置が完了しない場合には、配置不可とし、チップサイズを拡大し、あるいは配線層数を増大した上で最初のステップS101からやり直す(S110)。

【0037】

なお、第2の実施形態の場合には、前記ステップS107とS108の間に、I/Oセルを第1I/Oセル、第2I/Oセルに分割する処理を挿入し、かつ各

I/OセルについてそれぞれステップS108以降の処理を行うようにすればよい。

【0038】

このような配置方法では、S端子、V端子、G端子をひとまとめのグループにしてこれをI/Oセルとし、このI/Oセルについての配線パッドの配列、各配線パッドに接続される配線ラインの引き出し方等を一意的に決定しておくことで、フロアプランの作成時に配線ラインの引き出しの可否を容易に判断することができ、TATを短縮する上で有利になる。また、各I/Oセルの用途等を情報として保持させた上で、異なる用途のI/Oを使い分けることにより、半導体装置の種類毎に容易にカスタマイズすることも可能である。

【0039】

ここで、前記各実施形態では、I/Oセルの配置例として、4×3の例を示したが、任意の数のマトリクス構成のI/Oセルとして構成することが可能である。また、場合によっては、従来のペリフェラルを複数個配列してI/Oセルとして構成することが可能であることは言うまでもない。

【0040】

また、前記各実施形態では、図1及び図4を参照すると、チップ3の下面に形成されるボール電極31と、パッケージ基板2、2Aに形成される配線パッド21及び配線ライン22の各配置に本発明を適用した例を示したが、半導体装置1の実装用ボール電極24と、実装用基板4の配線パッド41及び配線ラインについても本発明を同様に適用することが可能である。すなわち、半導体装置1のパッケージ基板2、2Aの下面に形成する実装用ボール電極24と実装用基板4の上面の配線パッド41をそれぞれI/Oセルとして配置することにより、これら実装用ボール電極24及び配線パッド41の配列密度を増大し、半導体装置1のパッケージの小型化を達成する一方で、端子数を増大することが可能になり、半導体装置の高集積化、高機能化が実現できることになる。なお、この場合において、第2の実施形態を適用する場合には、実装用基板4を多層配線構造として構成することになる。

【0041】

【発明の効果】

以上説明したように本発明は、ボール電極等の電極端子を I/Oセルに分割し、その一部の I/Oセルをチップ等の被搭載部材の外周部側の位置に配置するとともに、他の I/Oセルをそれよりも内周部側の位置に配置しているので、チップを小型化した場合においても、あるいはボール電極数を増大した場合においても、各 I/Oセルに対応する配線パッドからチップの周辺外側への配線ラインの引き出しが可能になり、半導体装置の高集積化、高性能化に対応した半導体装置が実現できる。

【0042】

また、本発明は、I/Oセルに対応する配線パッド及び配線ラインは、基板に形成した1層の導電膜で形成されるため、特に、同じI/Oセルに接続される配線ラインが上下に交差することではなく、各配線ラインでのインピーダンスマッチングを容易に行うことが可能になる。また、I/Oセルを第1 I/Oセルと第2 I/Oセルとして分割し、これらのI/Oセルをチップの外周部側と内周部側に配置し、さらに各I/Oセルをチップの内側と外側に配置しているので、さらなる半導体装置の高集積化、高性能化が実現できる。また、第1 I/Oセルと第2 I/Oセルに対応する各配線ラインが異なる配線層で構成されるため、両I/Oセルをそれぞれチップの外周部側、内周部側に配置した場合でも、各I/Oセルをそれぞれ内側位置と外側位置に配置することが可能になり、しかも各I/Oセルに対応する配線ラインでのインピーダンスマッチングも容易になる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態の半導体装置の全体断面図とその要部の拡大図である。

【図2】

第1の実施形態のパッケージ基板の上面の配線パッドと配線ラインの配列状態を示す図である。

【図3】

図2の配線パッドと配線ラインにおける配列密度を説明するための図である。

【図 4】

本発明の第 2 の実施形態の半導体装置の全体断面図とその要部の拡大図である。

【図 5】

第 2 の実施形態のパッケージ基板の上面の配線パッドと配線ラインの配列状態を示す図である。

【図 6】

第 2 の実施形態のボール電極及び配線パッドの配列例の変形例を示す図のその 1 である。

【図 7】

第 2 の実施形態のボール電極及び配線パッドの配列例の変形例を示す図のその 2 である。

【図 8】

第 2 の実施形態のボール電極及び配線パッドの配列例の変形例を示す図のその 3 である。

【図 9】

第 2 の実施形態のボール電極及び配線パッドの配列例の変形例を示す図のその 4 である。

【図 1 0】

本発明の半導体装置の製造方法を工程順に示すフローチャートである。

【図 1 1】

従来の半導体装置の断面図である。

【図 1 2】

従来の半導体装置のパッケージ基板の配線パッドと配線ラインの配列状態を示す図である。

【図 1 3】

従来の配線パッド及び配線ラインの配列密度を説明するための図である。

【符号の説明】

1 半導体装置

2, 2 A パッケージ基板

3 チップ

4 実装用基板

2 1 配線パッド

2 2 配線ライン

2 3 スルーホール

2 4 実装用ボール電極

3 1 ボール電極

4 1 配線パッド

CELL I/Oセル

CELL-A 外側（外周部）のI/Oセル

CELL-B 内側（内周部）のI/Oセル

CELL-1 第1のI/Oセル

CELL-1 A 外側のI/Oセル

CELL-1 B 内側のI/Oセル

CELL-2 第2のI/Oセル

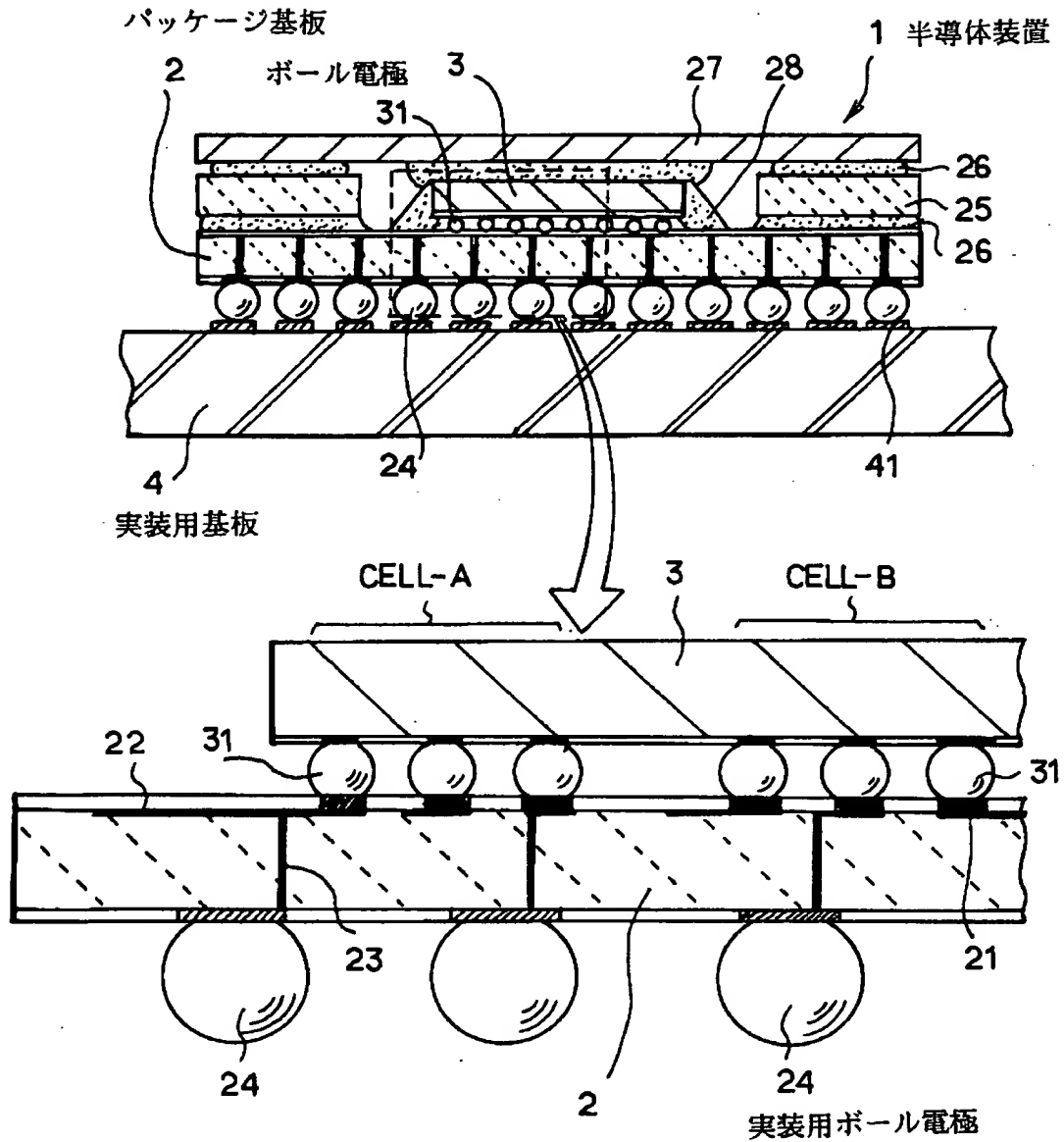
CELL-2 A 外側のI/Oセル

CELL-2 B 内側のI/Oセル

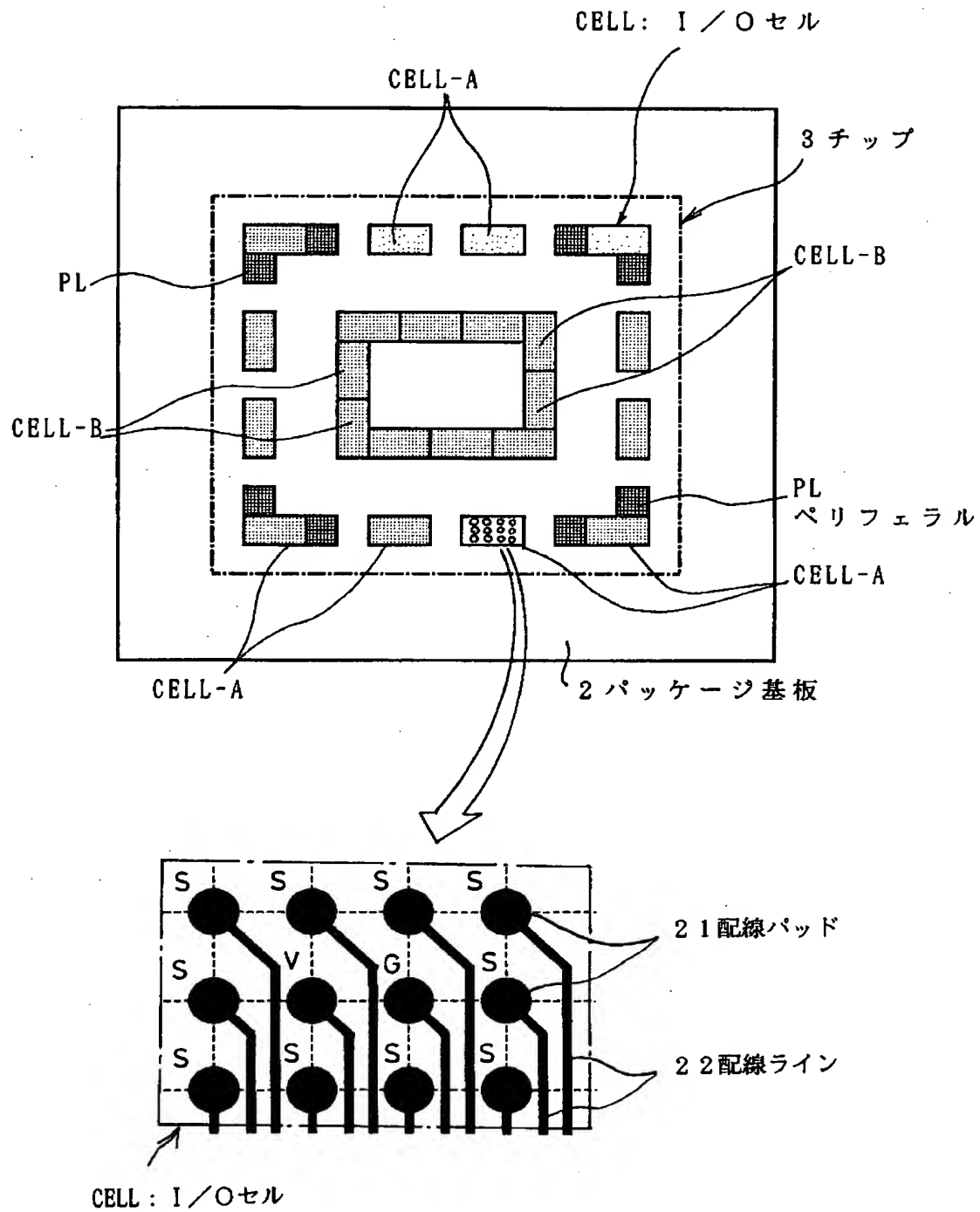
PL ペリフェラル

【書類名】 図面

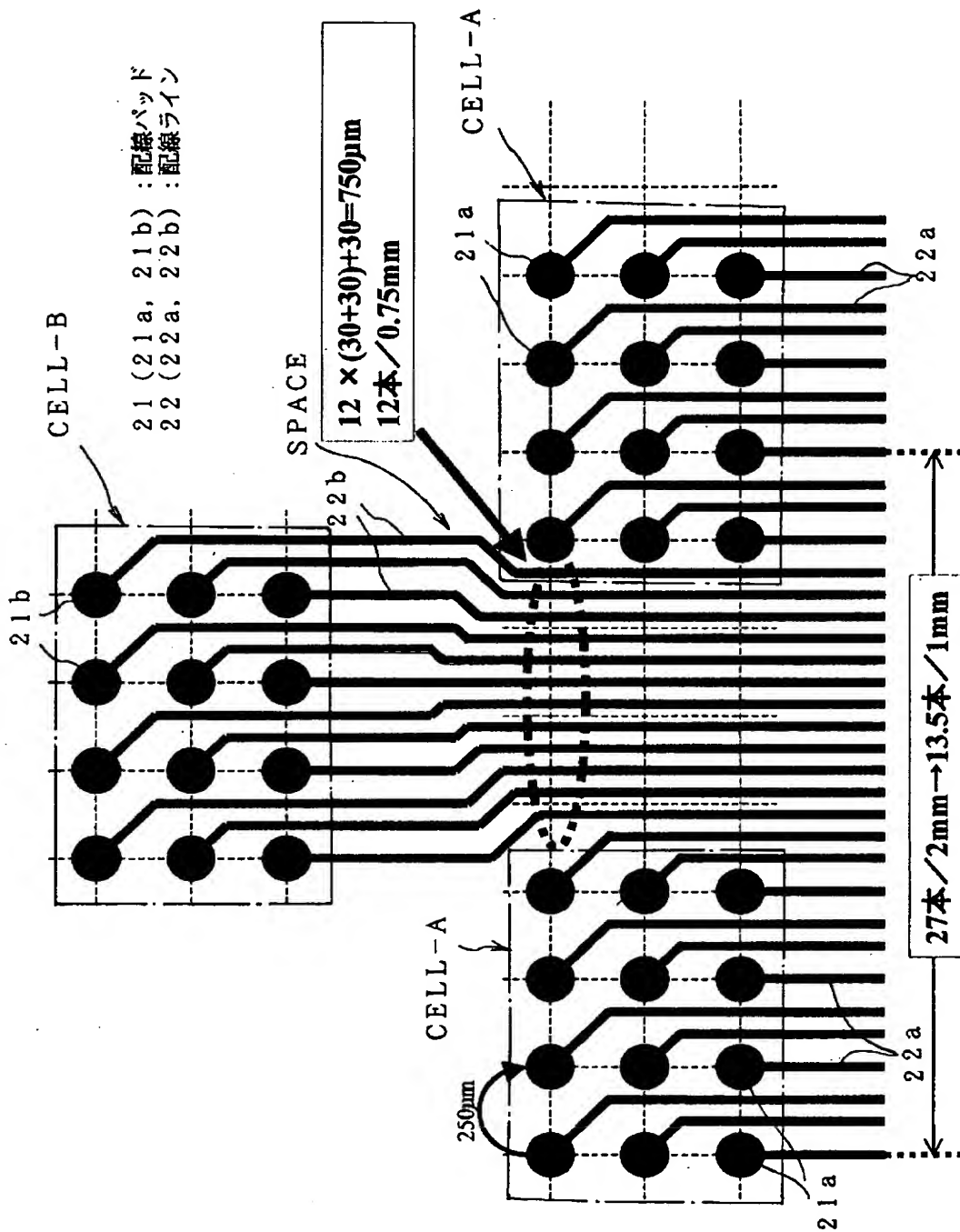
【図 1】



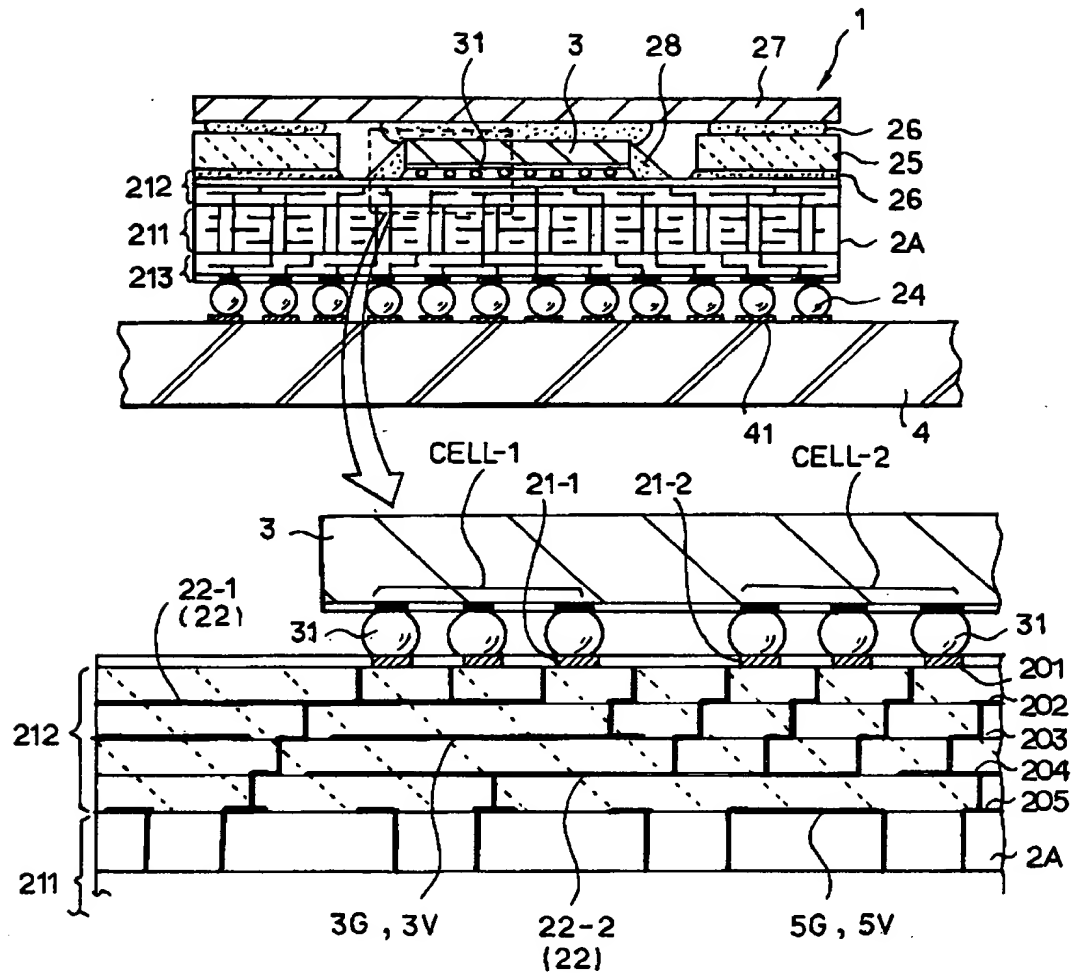
【図 2】



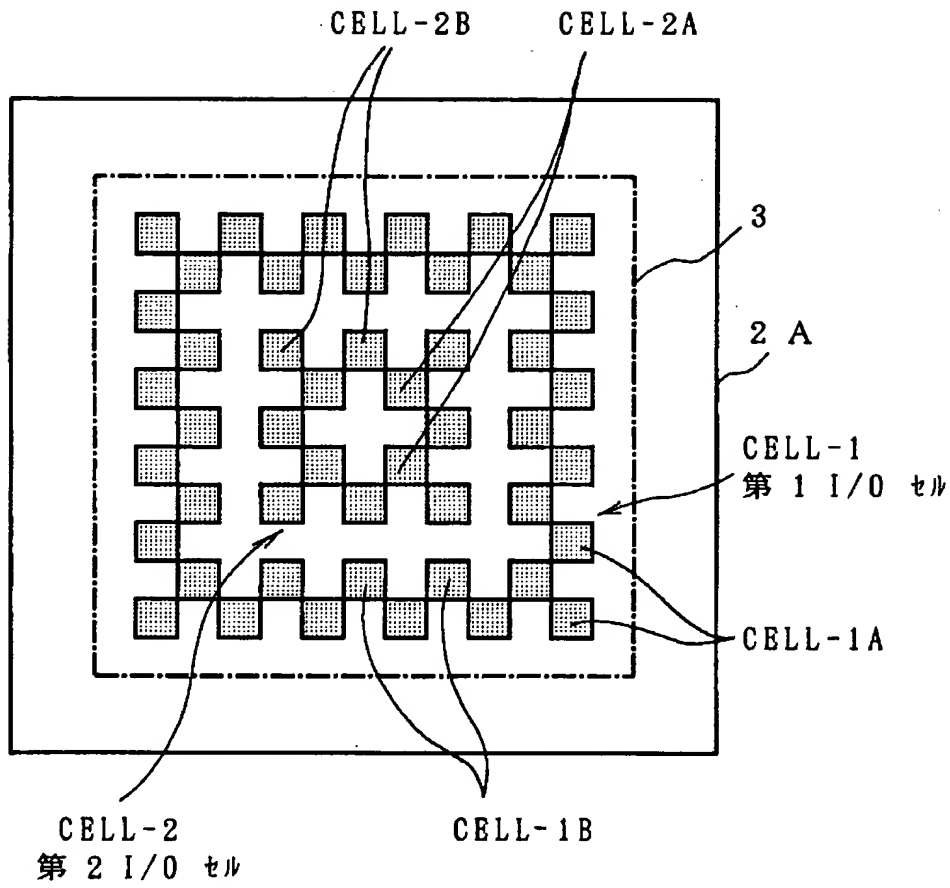
【図 3】



【図 4】

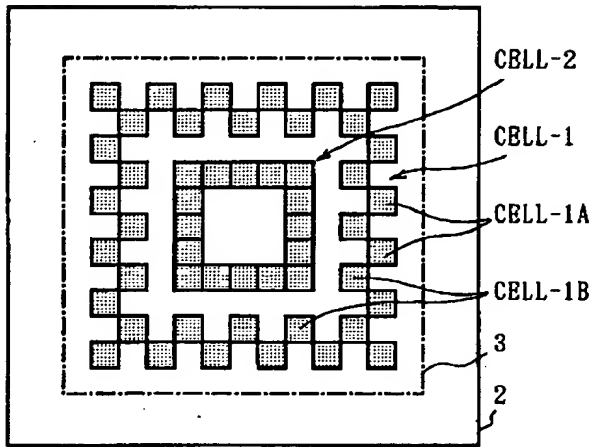


【図 5】

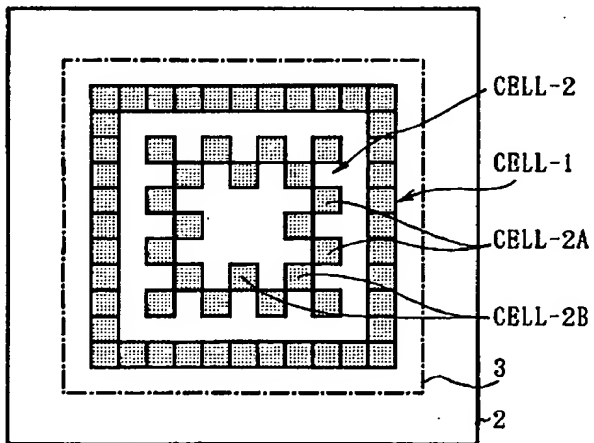


【図 6】

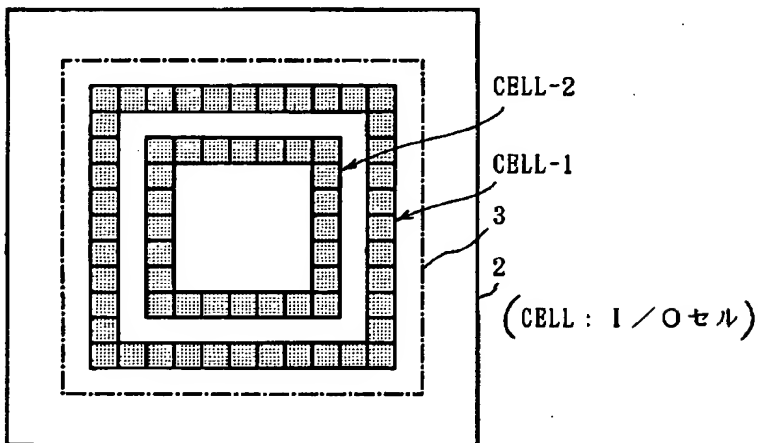
(a)



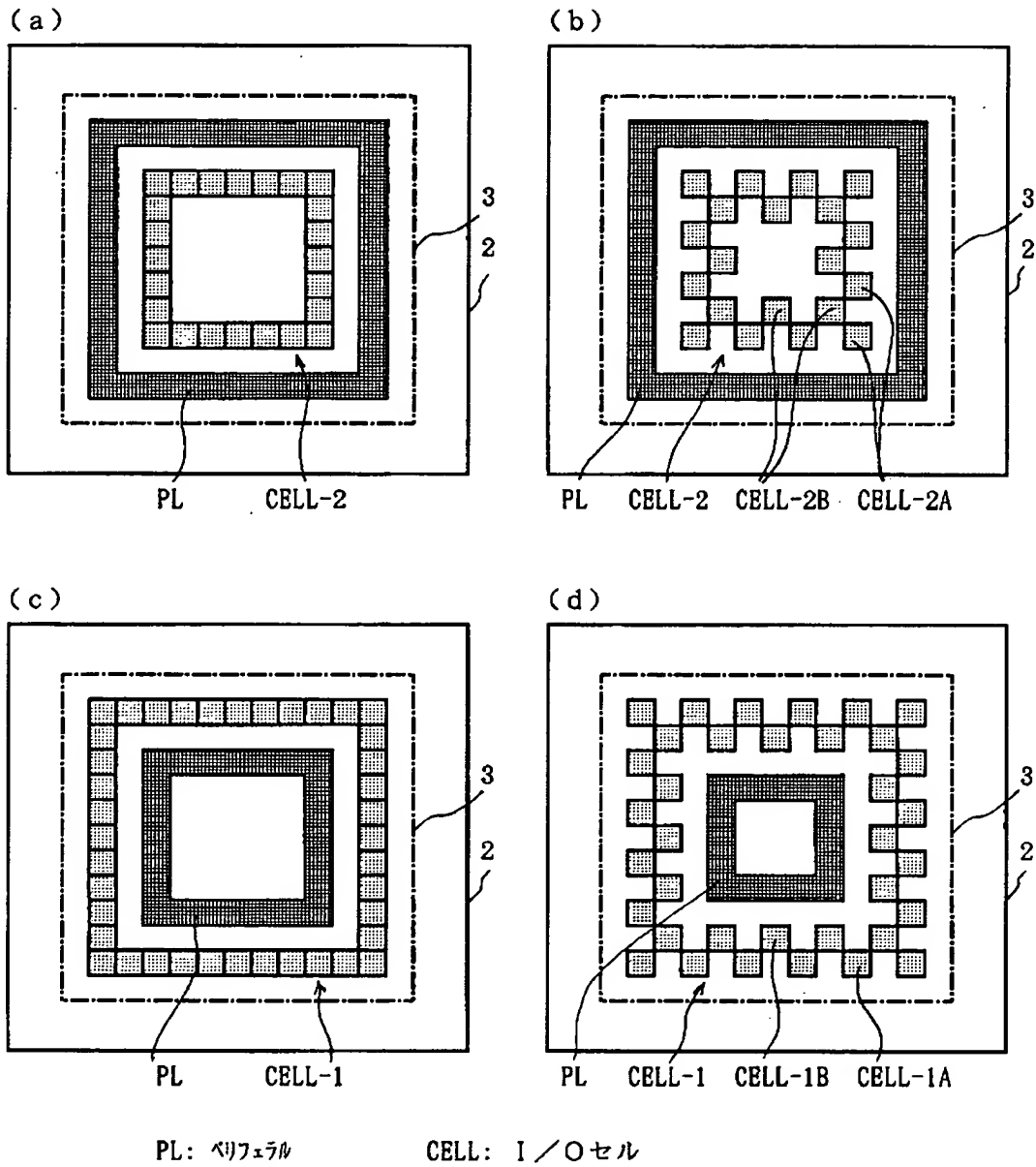
(b)



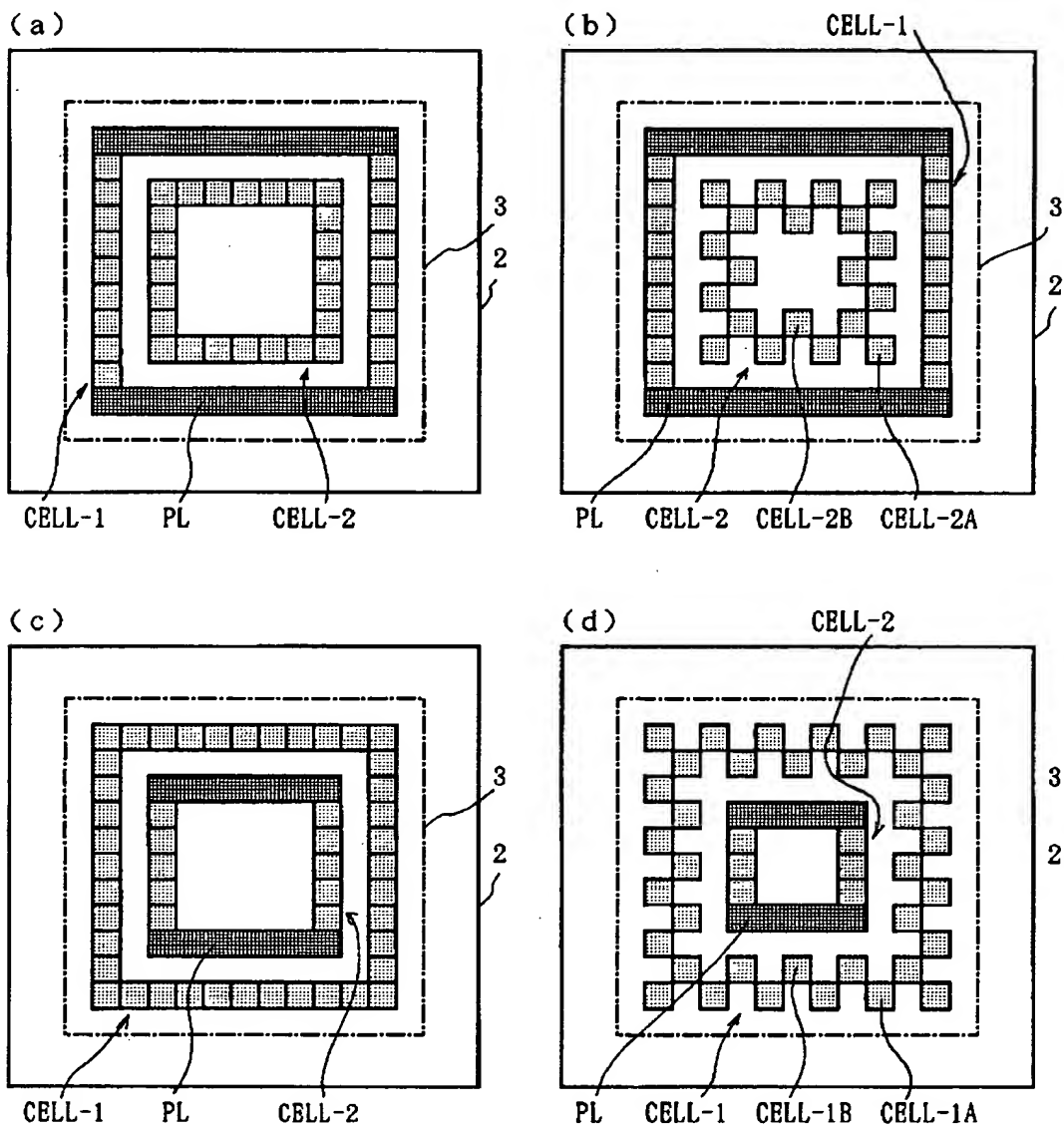
(c)



【図 7】



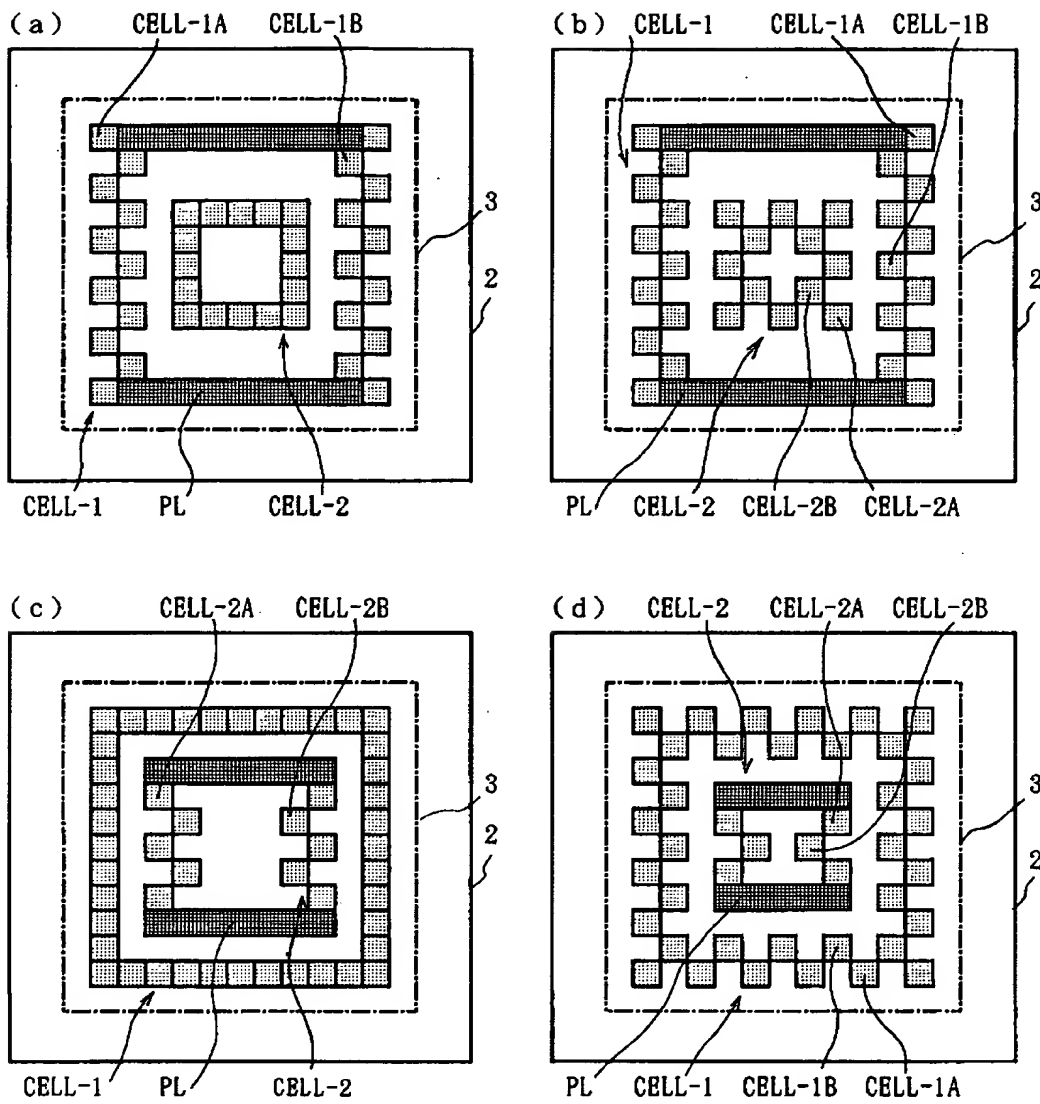
【図 8】



PL: ペリフェラル

CELL: I/Oセル

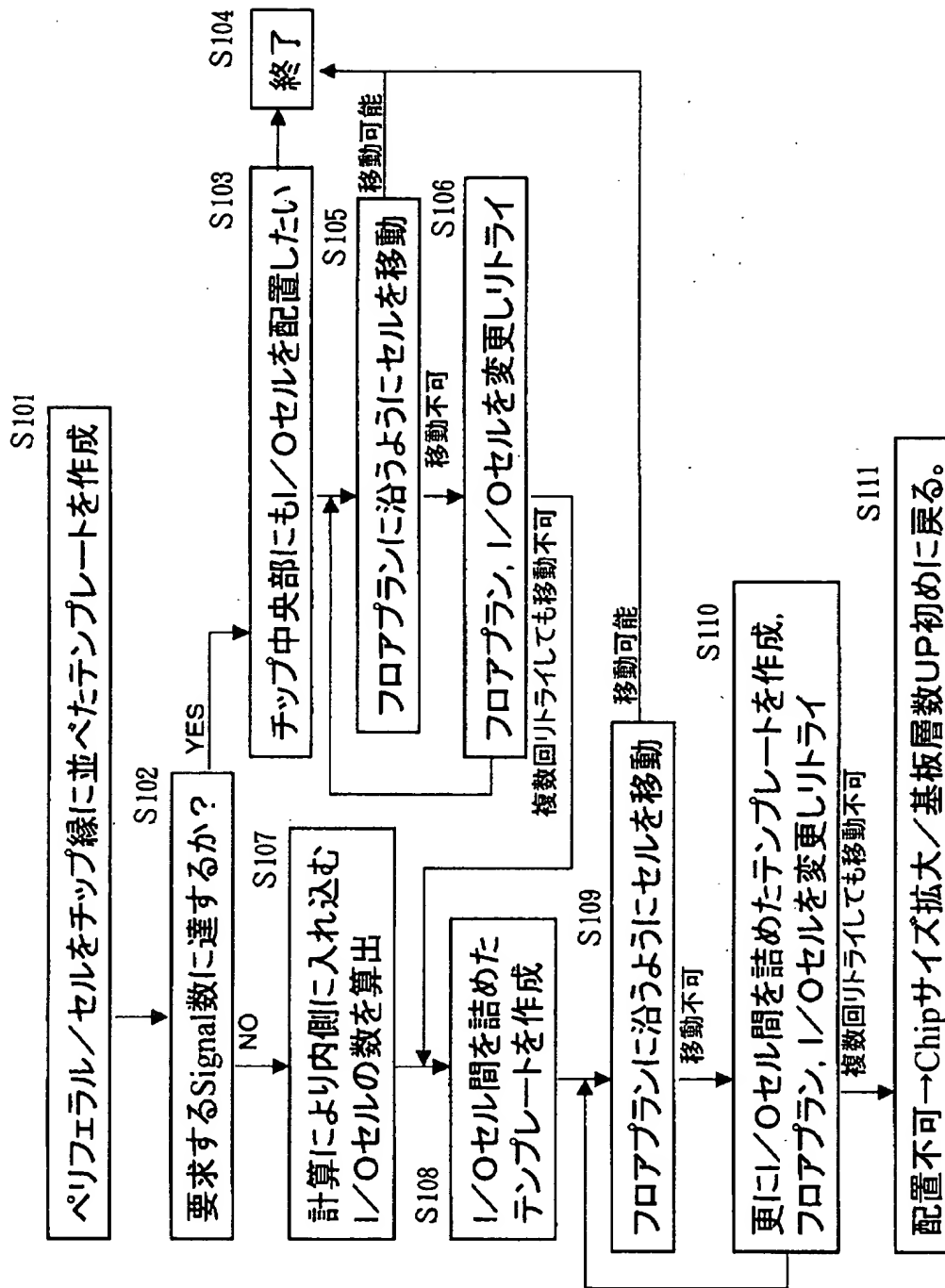
【図9】



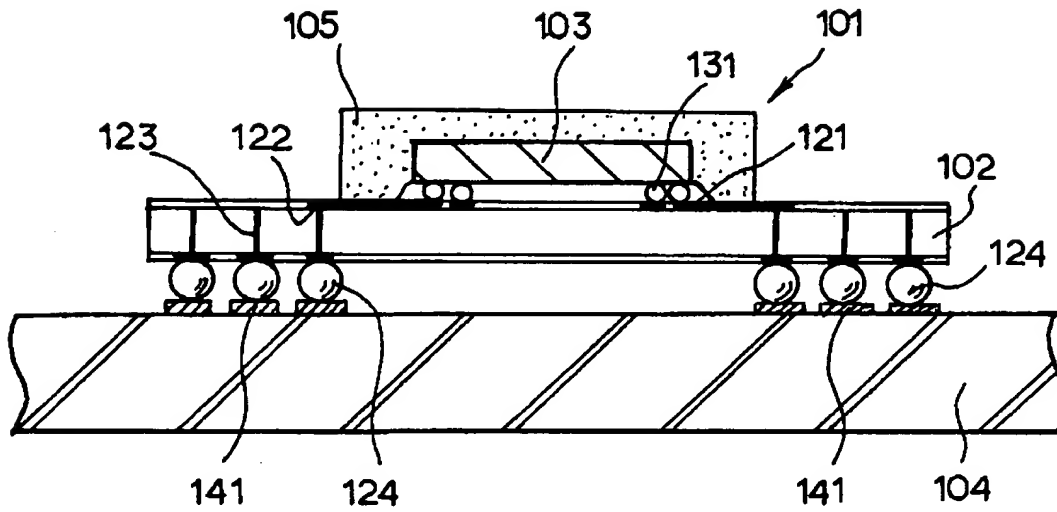
PL: ペリフェラル

CELL: I/Oセル

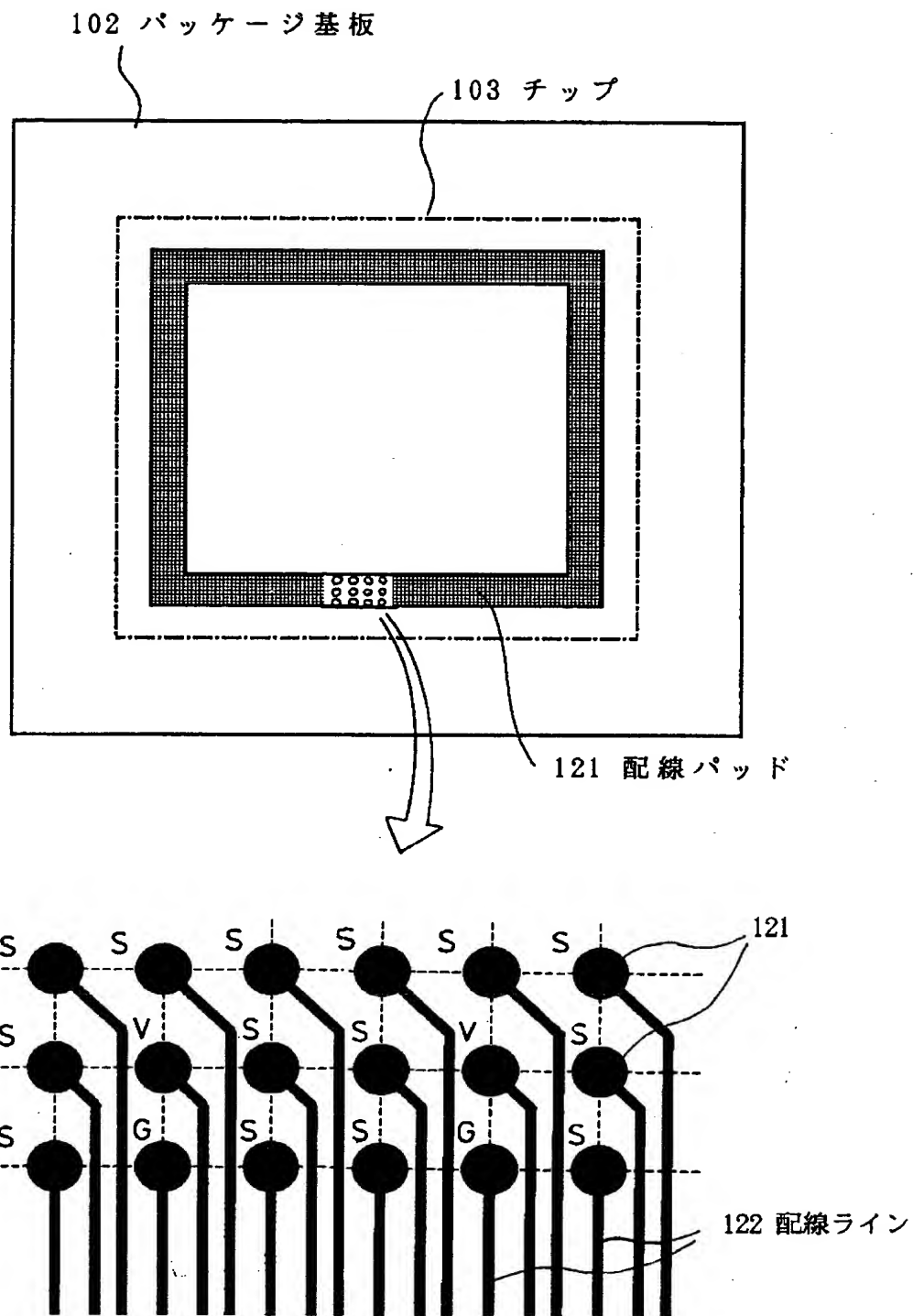
【図10】



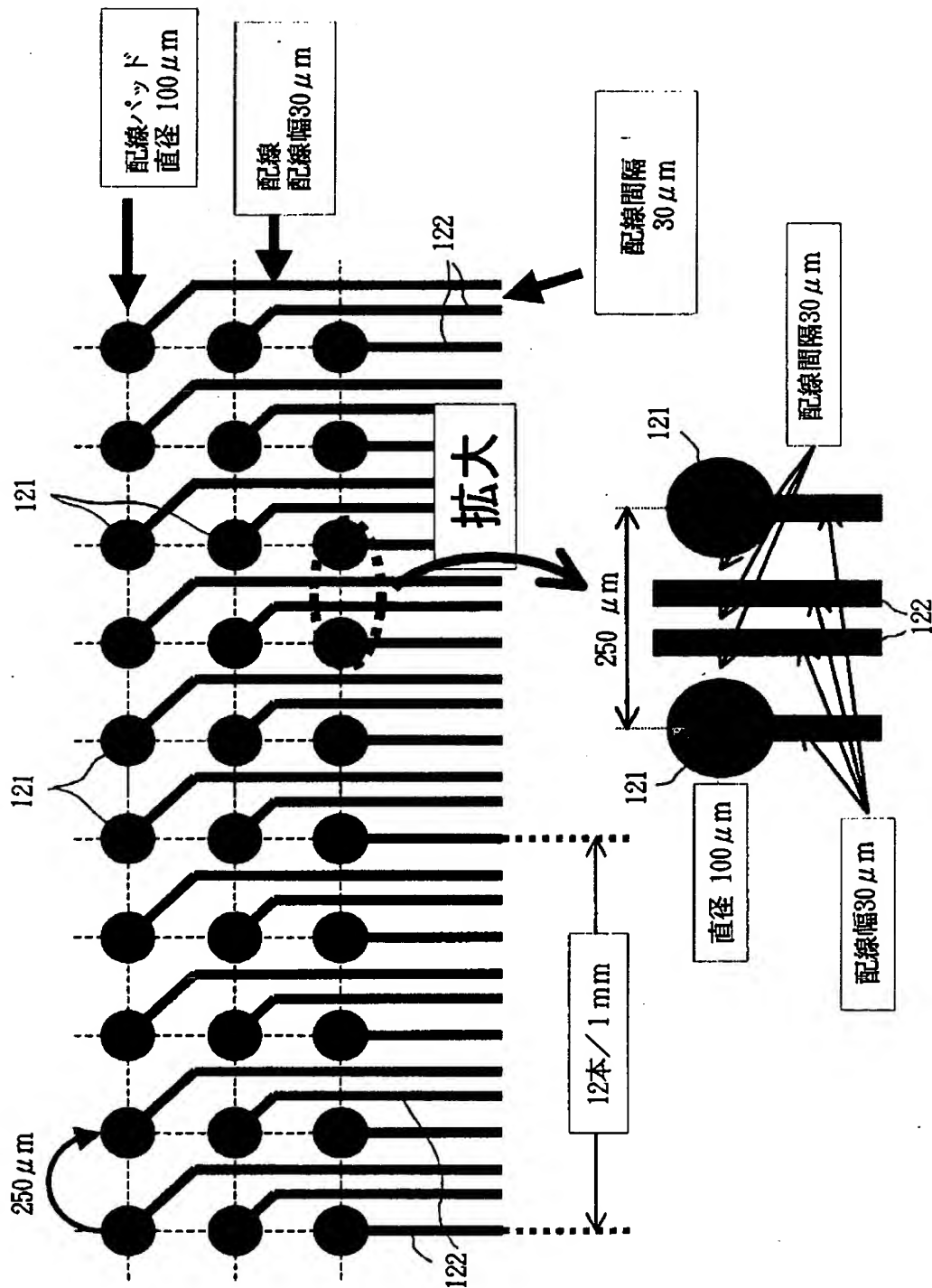
【図 11】



【図12】



【図 13】



【書類名】 要約書

【要約】

【課題】 チップ等に設けたボール電極をパッケージ基板等に設けた配線パッドに接続する構成の半導体装置において、チップ等の小型化を図る一方で、ボール電極の端子数の増大を可能にした半導体装置及びその製造方法を提供する。

【解決手段】 チップに複数のボール電極が配列形成され、チップを搭載するパッケージ基板には前記ボール電極が接続される配線パッド 2 1 が形成されてなる半導体装置において、少なくとも信号線用のボール電極を含む複数のボール電極に対応する配線パッド 2 1 をグループ化した複数の I / O セル C E L L を構成し、この I / O セルをセル C E L L - A, C E L L - B として、チップの外周部側の位置と内周部側の位置にそれぞれ対応する位置に配置する。チップを小型化した場合においても、あるいはボール電極数を増大した場合においても、各 I / O セルに対応する配線パッドからチップの周辺外側への配線ラインの引き出しが可能になり、半導体装置の高集積化、高性能化に対応した半導体装置が実現できる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社